

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年 9月27日

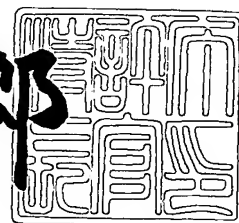
出願番号  
Application Number: 特願2002-284029  
[ST. 10/C]: [JP2002-284029]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2003年 7月 8日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053775

【書類名】 特許願

【整理番号】 P006631

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 石川 明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

ゲート絶縁膜の上に第 1 の導電性膜を形成し、前記第 1 の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート絶縁膜および前記ゲート電極の上から基板全面を覆う第 2 の導電性膜を形成し、導電性保護膜を形成する工程と、前記ゲート電極の側壁の前記導電性保護膜で覆われた部分にサイドウォールを形成する工程と、前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前記サイドウォールを除去する工程と、前記導電性保護膜を除去する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2】

ゲート絶縁膜の上に第 1 の導電性膜を形成し、前記第 1 の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート絶縁膜および前記ゲート電極の上から基板全面を覆うように絶縁性膜を形成し、絶縁性保護膜を形成する工程と、前記絶縁性保護膜の上に第 2 の導電性膜を形成し、導電性保護膜を形成する工程と、前記ゲート電極の側壁の前記導電性保護膜および前記絶縁性保護膜で覆われた部分にサイドウォールを形成する工程と、前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前記サイドウォールを除去する工程と、前記導電性保護膜を除去する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 3】

ゲート絶縁膜の上に第 1 の導電性膜を基板全面を覆うように形成し、導電性保護膜を形成する工程と、前記導電性保護膜の上に第 2 の導電性膜を形成し、第 2 の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート電極の側壁

にサイドウォールを形成する工程と、前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前記サイドウォールを除去する工程と、前記ゲート電極をマスクとして前記導電性保護膜を加工する工程とを有することを特徴とする半導体装置の作製方法。

#### 【請求項 4】

請求項 3 において、高濃度の不純物を添加する工程後、前記ゲート電極および前記サイドウォールをマスクとして前記導電性保護膜を加工する工程を有することを特徴とする半導体装置の作製方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置の作製方法に関し、特に自己整合的に LDD (Lightly Doped Drain) を形成する方法を用いた半導体装置の作製方法に関する。

##### 【0002】

#### 【従来の技術】

近年、画像表示装置の分野では、ガラスや石英のような透過性のある絶縁性基板上に画素や駆動回路の他、メモリ回路やクロック発生回路等の論理回路を内蔵したシステムオンパネルの開発が注目されている。駆動回路や論理回路には高速動作が要求され、これを実現するためにはスイッチング速度の速い TFT を透過性のある絶縁性基板上に作製する技術の開発が必要となる。スイッチング速度の速い TFT は、結晶欠陥が少ない半導体膜を用いることや、素子寸法を微細化することによって作製される。

##### 【0003】

素子寸法が比例縮小則に従って微細化しても、信号速度や応答速度を維持するため、駆動電圧は必ずしも比例縮小則に従って下げることができない。このため、MOS トランジスタの素子寸法を微細化していくと、ドレイン近傍が高電界化する。これによってホットキャリアと呼ばれる高いエネルギーをもったエレクトロンやホールが発生し、発生したホットキャリアがゲート絶縁膜中に捕獲され

たりすることにより閾値が変動するなどの劣化現象が発生することが知られている。

#### 【0004】

このようなホットキャリアの発生を抑制するには、素子構造をLDD (Light Doped Drain) 構造にすることが有効である。LDD構造は、チャネルと接する側のドレイン端部に、低濃度の不純物領域（以後、LDDと略記）を設けることで形成される。低濃度の不純物としては、nチャネル型の素子の場合には、n型不純物、pチャネル型の素子の場合にはp型不純物を用いる。このようにチャネルとドレインの接合に不純物濃度の傾斜をもたせることにより、ドレイン近傍の電界を緩和し、ホットキャリアの発生を抑制する（例えば、非特許文献1参照）。

#### 【0005】

##### 【非特許文献1】

岸野正剛著「現代 半導体デバイスの基礎」オーム社、1995年2月25日、p. 201-207

#### 【0006】

ホットキャリア起因の劣化現象は、MOSトランジスタだけではなく、TFTにおいても発生する。そして、その抑制は、MOSトランジスタと同様に、TFTの素子構造をLDD構造にすることにより可能である。

#### 【0007】

ここで、MOSトランジスタにおいて、一般的に用いられているLDD構造の形成方法を、図1を用いて説明する。但し、ここでは素子分離する迄の工程及びLDD形成後の工程については省略する。

#### 【0008】

素子分離した半導体膜102の上にゲート絶縁膜103を形成する。さらにゲート絶縁膜103上にポリシリコンのゲート電極104を形成し、所望の形状に加工した後、低濃度のイオンを半導体膜102に打ち込む。次に、ゲート電極104の上に等方的な段差被覆性の良い酸化珪素膜105を成膜する。さらに、ゲート電極側壁にのみ酸化珪素膜105が残るように垂直方向の異方性エッチン

グし、サイドウォール106を形成する。さらに、サイドウォール106を貫通しないよう、高濃度のイオンを半導体膜102に打ち込み、ソース（或いはドレイン）108を形成する。サイドウォール106の下部には、高濃度のイオンは打ち込まれず、LDD107となる。

#### 【0009】

上記のように、サイドウォールを利用することにより、パターニングを伴わない自己整合的な方法でLDDを形成する。素子寸法の微細化に伴い、パターニングのアライメント精度（ $\pm 0.2 \mu\text{m}$ 程度）を超える範囲での加工が要求される場合が生じる。このような場合、パターニングせず自己整合的に形成した方が精度良く形成できることがある。LDDの形成に於いても、自己整合的に形成した方が、加工精度が高いとき、上記のような方法が用いられる。

#### 【0010】

##### 【発明が解決しようとする課題】

TFTに於いても、MOSトランジスタと同様の方法でLDDを形成することは可能である。しかしながら、TFTを形成する基板に石英等の絶縁性を有する材料を用いるため帯電し易く、特にサイドウォールを形成するための異方性エッチングに於いてプラズマによる損傷を受け易い。プラズマによる損傷を受けた素子は、ゲート絶縁膜中に電位、半導体層とゲート絶縁膜の界面に準位等を発生し、結果として閾値電圧が変動するといった不良を生じる。

#### 【0011】

図2（A）は、前述したような従来からのLDD形成方法を用い、石英基板上に形成したTFTのチャネル長と閾値の関係を示したものである。これより、チャネル長が $1 \mu\text{m}$ 以下のTFTになると、閾値電圧が、大きいもので約10Vマイナス側に変動してしまうものがあることが分かる。

このようなLDD形成過程で生じるプラズマによる損傷は、主に異方性エッチング中、既に所望の形状に加工され表面積が縮小したゲート電極に於いて、ゲート電極に蓄積される電荷の放電が困難になった結果生じ、素子特性に重大な影響を与えるようになったものと考えられる。従って、TFTの素子寸法が微細化しゲート電極の表面積が縮小、ゲート絶縁膜厚が薄膜化する程、ゲート電極に蓄

積される電荷密度が高くなりプラズマによる損傷は大きくなる。また、異方性エッチングと同様に、荷電粒子を打ち込むドーピングにおいても、微細化した素子のゲート電極に蓄積された電荷による損傷が生じ得る。

#### 【0 0 1 2】

しかしながら、論理演算回路用の素子として必須であるスイッチング速度の速いT F Tを作製するために、又高集積化を図るために、素子寸法の微細化は益々必要とされている。このため、加工精度が高いという自己整合的な手法の利点を生かし、且つプラズマプロセス及びドーピングプロセスによる損傷が極力低減できるようなL D D構造T F Tの作製方法の開発が求められる。

#### 【0 0 1 3】

本発明では、自己整合的にL D Dを形成でき、且つプラズマプロセス及びドーピングプロセスによる損傷を極力低減できる半導体装置の作製方法について提供することを課題とする。

#### 【0 0 1 4】

##### 【課題を解決するための手段】

本発明の半導体装置の作製方法は、導電性の保護膜を基板全面を覆うように形成した状態で、L D Dを形成することで、L D D形成工程の異方性エッチングにおいてゲート電極中に蓄積される電荷密度を低減し、プラズマによる損傷を極力低減することを特徴としている。また同時に、ソース（或いはドレイン）を形成するための高濃度の不純物添加工程における荷電粒子による損傷も極力低減できることも特徴としている。

#### 【0 0 1 5】

本発明の半導体装置の作製方法は、ゲート絶縁膜の上に第1の導電性膜を形成し、前記第1の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート絶縁膜および前記ゲート電極の上から基板全面を覆う第2の導電性膜を形成し、導電性保護膜を形成する工程と、前記ゲート電極の側壁の前記導電性保護膜で覆われた部分にサイドウォールを形成する工程と、前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前

記サイドウォールを除去する工程と、前記導電性保護膜を除去する工程とを有することを特徴としている。

#### 【0016】

図3に示すように、絶縁性基板301上に素子分離した半導体膜302を形成した後、さらに半導体膜302の上にゲート絶縁膜303を形成する。

#### 【0017】

つぎにゲート絶縁膜303の上に第1の導電性膜を形成し、加工してゲート電極304を形成する。

#### 【0018】

さらにゲート電極304をマスクとして半導体膜302に低濃度の不純物を添加し、低濃度不純物領域305を形成する。

#### 【0019】

つぎに、ゲート絶縁膜303及びゲート電極304の上から、基板全面を覆うように導電性膜を形成し、導電性保護膜306を形成する。導電性保護膜306の材料としては、ゲート絶縁膜303およびゲート電極304と高選択比のあるエッチングが可能なものがよい。

#### 【0020】

つぎに、導電性保護膜306の上にサイドウォール形成用の絶縁成膜（或いは、導電性膜でもよい。）307を形成する。

#### 【0021】

つぎに、絶縁成膜307を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして加工し、ゲート電極304の側壁の導電性保護膜306で覆われた部分にサイドウォール308を形成する。これにより、導電性保護膜306は、ゲート電極304の側壁とサイドウォール308とに挟まれた状態となる。

#### 【0022】

サイドウォール形成のための異方性エッチングの際、基板全面を覆うように導電性保護膜306が形成されている。従って、異方性エッチング中に発生する電荷は、主に導電性を有する導電性保護膜306に蓄積される。また導電性保護



膜 3 0 6 の表面積が非常に大きい状態であるため、蓄積される電荷密度は非常に小さくなり、異方性エッチング中に生じるプラズマによる損傷を低減することができる。

#### 【 0 0 2 3 】

つぎにゲート電極 3 0 4 とサイドウォール 3 0 8 をマスクとし、半導体膜 3 0 2 に高濃度の不純物を添加し、ソース（或いはドレイン） 3 0 9 を形成する。このとき、サイドウォール 3 0 8 の下方にある低濃度不純物領域 3 0 5 には、高濃度の不純物は添加されず、L D D 3 1 0 となる。

#### 【 0 0 2 4 】

高濃度の不純物の添加後、不要になったサイドウォール 3 0 8 を選択的に除去し、さらに導電性保護膜 3 0 6 を選択的に除去する。

#### 【 0 0 2 5 】

このように、不純物の添加工程（ドーピングプロセス）においても、導電性保護膜 3 0 6 は基板全面を覆った状態であり、表面積が非常に大きくなっているため、荷電粒子の発生により、導電性保護膜 3 0 6 中に蓄積される電荷密度は非常に小さくなり、ドーピングプロセスにより生じる損傷も低減することができる。

#### 【 0 0 2 6 】

上記に述べたような方法を用いることにより、自己整合的に L D D を形成した、且つプラズマプロセス及びドーピングプロセスによる損傷を極力低減した半導体装置を作製できる。

#### 【 0 0 2 7 】

本発明の半導体装置の作製方法は、ゲート絶縁膜の上に第 1 の導電性膜を形成し、前記第 1 の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート絶縁膜および前記ゲート電極の上から基板全面を覆うように絶縁性膜を形成し、絶縁性保護膜を形成する工程と、前記絶縁性保護膜の上に第 2 の導電性膜を形成し、導電性保護膜を形成する工程と、前記ゲート電極の側壁の前記導電性保護膜および前記絶縁性保護膜で覆われた部分にサイドウォールを形成する工程と、

前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前記サイドウォールを除去する工程と、前記導電性保護膜を除去する工程とを有することを特徴としている。

#### 【0 0 2 8】

例えば、前述したような半導体装置の作製において、ゲート電極と導電性保護膜に同一材料、或いは高選択比のあるエッチングが不可能な材料を用いた場合、導電性保護膜を除去するときに、ゲート電極も同時に除去されてしまう。

#### 【0 0 2 9】

これを防ぐため、導電性保護膜と高選択比のあるエッチングが可能な絶縁性保護膜を、ゲート電極と導電性の保護膜との間に形成する。

#### 【0 0 3 0】

この絶縁性保護膜は、導電性の保護膜の除去後に除去してもよいが、除去せずそのまま層間絶縁膜の一部として使用してもよい。

#### 【0 0 3 1】

本発明の半導体装置の作製方法は、ゲート絶縁膜の上に第1の導電性膜を基板全面を覆うように形成し、導電性保護膜を形成する工程と、前記導電性保護膜の上に第2の導電性膜を形成し、第2の導電性膜を加工してゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に低濃度の不純物を添加する工程と、前記ゲート電極の側壁にサイドウォールを形成する工程と、前記ゲート電極と前記サイドウォールをマスクとして、前記半導体膜に高濃度の不純物を添加する工程と、前記サイドウォールを除去する工程と、前記ゲート電極をマスクとして前記導電性保護膜を加工する工程とを有することを特徴としている。

#### 【0 0 3 2】

前述の半導体装置の作製方法においては、ゲート電極の形成後にゲート電極を覆うように導電性保護膜を形成したが、ゲート電極の形成前に導電性保護膜を形成してもよい。

#### 【0 0 3 3】

この場合について、図14を用いて説明する。絶縁性基板2001上に素子分離した半導体膜2002を形成した後、さらに半導体膜2002の上にゲート

絶縁膜 2003 を形成する。

【0034】

つぎに、ゲート絶縁膜 2003 の上に導電性膜を基板全面を覆うように形成し、導電性保護膜 2004 を形成する。

【0035】

つぎに、導電性保護膜 2004 の上に、導電性保護膜 2004 の材料とした導電性膜とは異なる導電性膜を形成し、これを加工して、ゲート電極 2005 を形成する。

【0036】

つぎに、ゲート電極 2005 をマスクとし、導電性保護膜 2004 およびゲート絶縁膜 2003 を貫通するように、半導体膜 2002 に低濃度の不純物を添加し、低濃度不純物領域 2008 を形成する。

【0037】

つぎに、ゲート電極 2005 を覆うように絶縁性膜（或いは、導電性膜）2010 を形成し、この絶縁性膜（或いは、導電性膜）を垂直方向を主体とした異方性エッチングにより、選択的にエッチングして加工し、サイドウォール 2006 を形成する。

【0038】

サイドウォール形成のための異方性エッチングの際、基板全面を覆うように導電性保護膜 2004 が形成されている。従って、異方性エッチング中に発生する電荷は、主に導電性を有する導電性保護膜 2004 に蓄積される。また導電性保護膜 2004 の表面積が非常に大きい状態であるため、蓄積される電荷密度は非常に小さくなり、異方性エッチング中に生じるプラズマによる損傷を低減することができる。

【0039】

つぎに、ゲート電極 2005 およびサイドウォール 2006 をマスクとし、導電性保護膜 2004 およびゲート絶縁膜 2003 を貫通するように、半導体膜 2002 に高濃度の不純物を添加し、ソース（或いは、ドレイン）2111 を形成する。この時、先に形成された低濃度不純物領域 2008 のうち、高濃度の不

純物が形成されなかった領域はLDD2009となる。

#### 【0040】

つぎに、サイドウォール2006を選択的にエッチングして除去し、さらにゲート電極2005をマスクとして導電性保護膜2004をエッチングして加工する。加工後ゲート電極2005と積層された状態で残っている導電性保護膜2004は、そのままゲート電極の一部として使用する。

#### 【0041】

このように、不純物の添加工程（ドーピングプロセス）においても、導電性保護膜2004は基板全面を覆った状態であり、表面積が非常に大きくなっているため、荷電粒子の発生により、導電性保護膜2004中に蓄積される電荷密度は非常に小さくなり、ドーピングプロセスにより生じる損傷も低減することができる。

#### 【0042】

上記に述べたような方法を用いることにより、自己整合的にLDDを形成した、且つプラズマプロセス及びドーピングプロセスによる損傷を極力低減した半導体装置を作製できる。

#### 【0043】

本発明の半導体装置の作製方法は、高濃度の不純物を添加する第7の工程後、前記ゲート電極および前記サイドウォールをマスクとして前記導電性保護膜を加工する工程を有することを特徴としている。

#### 【0044】

前述したゲート電極形成前に導電性保護膜を形成する工程を含む半導体装置の作製方法において、高濃度の不純物を添加後、サイドウォールを除去せずに、サイドウォールおよびゲート電極をマスクとして導電性保護膜を加工することにより、Gate Overlapped LDDを形成することも可能である。この時、サイドウォールを絶縁性材料で形成していれば、除去せず、そのまま層間絶縁膜の一部として使用できる。またサイドウォールを導電性材料で形成している場合でも、そのままゲート電極の一部として使用することが出来る。

#### 【0045】

## 【発明の実施の形態】

## [実施の形態 1]

本発明の実施の形態について、図 4、5 を用いて説明する。ここでは、自己整合的に L D D を形成でき、且つプラズマによる損傷を極力低減できる作製方法を用いた、L D D 構造 T F T の作製方法について説明する。

## 【0 0 4 6】

図 3、4 は本発明における L D D 構造 T F T の作製工程を断面図によって表したものである。

## 【0 0 4 7】

石英基板 4 0 1 上に、島状の半導体膜 4 0 2 を形成する。つぎに半導体膜 4 0 2 の上に膜厚 4 0 n m の酸化珪素膜を成膜して、ゲート絶縁膜 4 0 3 を形成する。さらに、ゲート絶縁膜 4 0 3 の上に膜厚 1 5 0 n m の燐を含有した結晶質珪素膜（以後、n + p o l y - S i 膜と略記する。）と、膜厚 1 5 0 n m のタンゲステンシリサイド（W S i x）を積層して成膜した後、加工してゲート電極 4 0 4 を形成する。なお、ゲート電極 4 0 4 は、上記以外のものでもよく、導電性を有する材料を一層、或いは二層以上の積層膜として形成したものを用いることができる。

## 【0 0 4 8】

つぎに p チャネル型 T F T となる領域はレジストでマスクし、さらにゲート電極 4 0 4 をマスクとして、n チャネル型 T F T となる領域の半導体膜 4 0 2 に n 型不純物である燐を添加し、 $5 \times 10^{16} \sim 5 \times 10^{17} \text{ a t o m s } / \text{ c m }^3$  の低濃度 n 型不純物領域 4 0 5 を形成する。

## 【0 0 4 9】

つぎに n チャネル型 T F T となる領域はレジストでマスクし、さらにゲート電極 4 0 4 をマスクとして、p チャネル型 T F T となる領域の半導体膜 4 0 2 に p 型不純物であるボロンを添加し、 $5 \times 10^{16} \sim 5 \times 10^{17} \text{ a t o m s } / \text{ c m }^3$  の低濃度 p 型不純物領域 4 0 6 を形成する。

## 【0 0 5 0】

つぎに、ゲート電極 4 0 4 の上に、基板全体を覆うように膜厚 2 0 ～ 5 0 n

mの酸化珪素膜を成膜し、絶縁性保護膜407を形成する。

#### 【0051】

つぎに、絶縁性保護膜407の上に、導電性を有するn+poly-Si膜を膜厚40～60nm成膜し、導電性保護膜408を形成する。

#### 【0052】

つぎに、導電性保護膜408の上に、段差被覆性のよい酸化珪素膜を膜厚300～500nmで成膜し、サイドウォール膜409を形成する。さらにサイドウォール膜409を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして加工し、サイドウォール410を形成する。

#### 【0053】

ここで、絶縁性保護膜407と、導電性保護膜408と、サイドウォール膜409の膜厚の和がLDD長となる。但し、エッチングや成膜前の洗浄などによる膜厚の減少、などがあれば、その分を先に述べた絶縁性保護膜407と、導電性保護膜408と、サイドウォール膜409の膜厚の和から引いた値（或いは足した値）がLDD長となる。またこの時、ゲート電極404側壁に当たる部分に形成されるサイドウォール膜が、ゲート電極404の上面に形成されるサイドウォール膜とに差がある場合は、ゲート電極404の側壁に形成されるサイドウォール膜の膜厚をLDD長を決定するためのサイドウォール膜409の膜厚として採用する。

#### 【0054】

従って、所望のLDD長が得られるよう、絶縁性保護膜407、導電性保護膜408およびサイドウォール膜409の膜厚を適宜調整すればよく、上記に示した膜厚に限定する必要ない。但し、膜厚を決定するときは、絶縁性保護膜407に関しては、導電性保護膜除去時のストッパーとしての機能を損なわない程度の膜厚であること、導電性保護膜に関しては、異方性エッチング時のプラズマによる損傷を抑制できる膜厚であること（即ち蓄積される電荷密度が低く押さえられるような膜厚であること）等を考慮しなければならない。また、後工程において、ゲート絶縁膜403、絶縁性保護膜407および導電性保護膜408を貫通して、半導体膜402に不純物を添加するため、これが可能となる膜厚であるこ

とも考慮する必要がある。

#### 【0055】

つぎに、pチャネル型TF Tとなる領域はレジストでマスクし、さらにゲート電極404およびサイドウォール410をマスクとして、nチャネル型TF Tとなる領域の半導体膜402にn型不純物である燐を添加し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ のソース（或いはドレイン）415を形成する。また、この時、サイドウォール410の下方の、低濃度n型不純物領域405はLDD411となる。

#### 【0056】

つぎに、nチャネル型TF Tとなる領域はレジストでマスクし、さらにゲート電極404およびサイドウォール410をマスクとして、pチャネル型TF Tとなる領域の半導体膜402にp型不純物であるボロンを添加し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ のソース（或いはドレイン）416を形成する。また、この時、サイドウォール410の下方の、低濃度p型不純物領域406はLDD411となる。

#### 【0057】

つぎに、サイドウォール410を、フッ酸含有溶液を用いて選択的にエッチングし除去する。

#### 【0058】

さらに導電性保護膜408を、テトラメチルハイドロオキシド（TMAH）溶液を用いて選択的にエッチングし除去する。この時、絶縁性保護膜407によって、ゲート電極404を構成するn+poly-Si膜は保護されているため、TMAH溶液によってはエッチングされない。

#### 【0059】

つぎに、絶縁性保護膜407を層間膜の一部として使用することとし、絶縁性保護膜407の上に酸化珪素膜40nmを成膜して層間絶縁膜413を形成した後、熱活性化する。さらにコンタクトホールを形成し、配線414を形成した後、水素化処理を施す。

#### 【0060】

以上のような工程を経て、自己整合的にLDDを形成し、且つプラズマによる損傷を低減したLDD構造のTFETを形成できる。

#### 【0061】

図2(B)は、以上のような工程により作製したnチャネル型TFETのチャネル長と閾値電圧の関係を示したものである。これより、チャネル長が $1.0\mu\text{m}$ 以下のTFETでも、閾値電圧が10Vも変動するような異常をきたす素子はみられず、従来技術を用いてLDD形成したTFET(図2(A))よりも、良好な特性を示すことが分かる。

#### 【0062】

なお、図2(A)、(B)において、測定したTFETは全てnチャネル型TFETであり、ゲート幅は全て $20.0\mu\text{m}$ 。測定条件は、ドレイン電圧を5Vとし、常温下で $V_g - I_d$ 特性を測定した結果から閾値電圧を求めたものである。また同サイズのTFETを、基板内において9点ずつ測定している。また、従来技術を用いて作製したTFETと、本発明の作製方法を用いて作製したTFETとに於いて、LDD形成時の導電性保護膜および絶縁性保護膜の有無のみがTFET作製工程に於いて異なる点であり、その他の半導体膜の形成方法、層間膜形成工程(熱処理条件も含む)などは全て同一である。

#### 【0063】

このように、本発明の半導体装置の作製方法は、特にチャネル長が $2.0\mu\text{m}$ 未満の微細なTFETを作製するのに有効である。また、このような微細なTFETを用いて作製する論理演算回路などの作製にも有効である。

#### 【0064】

##### [実施の形態2]

本発明の実施の形態について、図15、16を用いて説明する。ここでは、自己整合的にLDDを形成でき、且つプラズマによる損傷を極力低減できる作製方法を用いた、LDD構造TFETの作製方法について説明する。

#### 【0065】

図15、16は本発明におけるLDD構造TFETの作製工程を断面図によって表したものである。



## 【0066】

ガラス基板2200上に、島状の半導体膜2201を形成する。つぎに半導体膜2201の上に膜厚30～60nmの酸化珪素膜を成膜して、ゲート絶縁膜2216を形成する。さらに、ゲート絶縁膜2216の上に窒化タンタル(TaN)を膜厚20～50nmで成膜し、導電性保護膜2202を形成する。導電性保護膜2202としては、導電性膜で有れば、TaN以外のものを用いてもよい。但し、TaNの膜厚に関しては、後の工程で導電性膜2202およびゲート絶縁膜2216を貫通して半導体膜2201に不純物を添加するため、不純物が貫通可能な膜厚を選択しなければならない。

## 【0067】

つぎに、導電性保護膜2202の上にタングステン(W)を膜厚300～600nmで成膜し、さらにパターニングおよびエッチングにより加工してゲート電極2203を形成する。ここで、ゲート電極2203の材料としては、導電性膜であればタングステン以外でもよい。但し、後の工程でゲート電極2203をマスクとして導電性保護膜2202をエッチングするため、導電性保護膜2202とゲート電極2203は異なる材料にしておく必要がある。

## 【0068】

つぎにpチャネル型TFETとなる領域はレジストでマスクし、さらにゲート電極2203をマスクとして、導電性保護膜2202およびゲート絶縁膜2216を貫通させて、nチャネル型TFETとなる領域の半導体膜2201にn型不純物である燐を添加し、 $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の低濃度n型不純物領域2204を形成する。

## 【0069】

つぎにnチャネル型TFETとなる領域はレジストでマスクし、さらにゲート電極2203をマスクとして、導電性保護膜2202およびゲート絶縁膜2216を貫通させて、pチャネル型TFETとなる領域の半導体膜2201にp型不純物であるボロンを添加し、 $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ の低濃度p型不純物領域2205を形成する。

## 【0070】

つぎに、ゲート電極 2203 の上から、基板全体を覆うように段差被覆性のよい酸化珪素膜を膜厚 400～600 nm で成膜し、サイドウォール膜 2206 を形成する。さらにサイドウォール膜 2206 を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして加工し、サイドウォール 2207 を形成する。サイドウォール膜 2206 としては、酸化珪素膜以外のものでもよく、また絶縁性膜以外に導電性膜でもよい。但し、選択的なエッチングが可能のように、ゲート電極 2203 および導電性保護膜 2202 と異なる材料にする必要がある。

#### 【0071】

ここで、サイドウォール膜 2206 の膜厚が LDD 長となる。従って、所望の LDD 長が得られるよう、サイドウォール膜 2206 の膜厚を適宜調整すればよく、上記に示した膜厚の範囲に限定する必要ない。

#### 【0072】

つぎに、p チャネル型 TFT となる領域はレジストでマスクし、さらにゲート電極 2203 およびサイドウォール 2206 をマスクとして、導電性保護膜 2202 およびゲート絶縁膜 2216 を貫通させて、n チャネル型 TFT となる領域の半導体膜 2201 に n 型不純物である燐を添加し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  のソース（或いはドレイン）2208 を形成する。また、この時、サイドウォール 2206 の下方の、低濃度 n 型不純物領域 2204 は LDD 2209 となる。

#### 【0073】

つぎに、n チャネル型 TFT となる領域はレジストでマスクし、さらにゲート電極 2203 およびサイドウォール 2206 をマスクとして、導電性保護膜 2202 およびゲート絶縁膜 2216 を貫通させて、p チャネル型 TFT となる領域の半導体膜 2201 に p 型不純物であるボロンを添加し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  のソース（或いはドレイン）2210 を形成する。また、この時、サイドウォール 2207 の下方の、低濃度 p 型不純物領域 2205 は LDD 2211 となる。

#### 【0074】

つぎに、サイドウォール 2206 を、フッ酸含有溶液を用いて選択的にエッチングして除去する。

#### 【0075】

つぎに、ゲート電極 2203 をマスクとして導電性保護膜 2202 を選択的にエッチングする。このとき、エッチングされずにゲート電極 2203 と積層された状態で残った導電性保護膜 2215 は、そのままゲート電極として用いる。

#### 【0076】

つぎに、ゲート電極 2203 の上に酸化珪素膜 40 nm を成膜して層間絶縁膜 2214 を形成した後、熱活性化する。さらにコンタクトホールを形成し、配線 2213 を形成した後、水素化処理を施す。

#### 【0077】

以上のような工程を経て、自己整合的に LDD を形成し、且つプラズマによる損傷を低減した LDD 構造の TFT を形成できる。以上に述べたような本発明の半導体装置の作製方法は、特にチャネル長が  $2.0\ \mu\text{m}$  未満の微細な TFT を作製するのに有効である。また、このような微細な TFT を用いて作製する論理演算回路などの作製にも有効である。

#### 【0078】

##### 【実施例】

##### 〔実施例 1〕

#### 【0079】

本発明の半導体装置の作製方法を用いることで、自己整合的に LDD を形成し、且つプラズマによる損傷を極力低減した LDD 構造の n チャネル型 TFT および p チャネル型 TFT を作製できる。また、本発明の半導体装置の作製方法は、特に微細な TFT を作製するのに有効であり、スイッチング速度が速い微細な TFT が必要とされる、論理演算回路を作製するのに有効である。本実施例では、本発明の半導体装置の作製方法を用いて作製した LDD 構造の TFT を用いた論理演算回路と、液晶表示装置等を作成するのに必要な画素 TFT と駆動回路用の TFT とを同一基板上に作製する方法について図 6 ～ 10 を用いて説明する。また、これを用いることにより、同一基板上に CPU (Central Pro

cessing Unit) が組み込まれた周辺回路と、ディスプレイとが一体化したシステムオンパネル等が作製できる。

#### 【0080】

また、本実施例では、論理演算回路用としてチャンネル長  $1.0\ \mu\text{m}$ 、LDD長  $0.5\ \mu\text{m}$  の LDD 構造 TFT (以下、論理演算回路用 TFT と略記する。)、液晶表示装置の画素駆動用としてチャンネル長  $4.5\ \mu\text{m}$ 、LDD長  $2.0\ \mu\text{m}$  の LDD 構造 TFT (以下、画素 TFT と略記する。)、液晶表示装置の駆動回路用として、チャンネル長  $8.0\ \mu\text{m}$ 、LDD長  $0.5\ \mu\text{m}$ 、Gate Overlapped LDD 長が  $2.0\ \mu\text{m}$  の TFT (以下、駆動回路用 TFT と略記) を同一基板上に形成する。

#### 【0081】

石英基板 701 上に非晶質珪素膜 702 (図示しない) を膜厚  $64\ \text{nm}$  で形成した後、非晶質珪素膜 702 の方面に触媒金属元素であるニッケル (Ni) を添加する。Ni の添加は、Ni 含有溶液を、常温下で、スピニング法によって非晶質珪素膜 702 に添加することによって行う。

#### 【0082】

つぎに、 $600^\circ\text{C}$ 、12 時間の熱処理を施して、非晶質珪素膜 702 を固相成長法により結晶化し、結晶質珪素膜 1001 (図示しない) を形成する。

#### 【0083】

つぎに、結晶質珪素膜 1001 の上に酸化珪素膜を膜厚  $50\ \text{nm}$  で形成した後、加工してゲッターリングマスク 1002 を作製する。ゲッターリングマスク 1002 により、TFT となる領域はマスクされる。ゲッターリングマスク 1002 をマスクとして、アルゴン (Ar) を結晶質珪素膜 1001 に添加し、さらに  $700^\circ\text{C}$ 、12 時間の熱処理を施す。これにより、Ar を添加した領域に Ni がゲッターリングされる。ゲッターリングマスク 1002 (図示しない) をマスクとして、Ni がゲッターリングされた領域 (即ち、Ar が添加された領域) の結晶質珪素膜をエッチングにより除去し、ゲッターリングが完了した結晶質珪素膜 1003 (図示しない) を形成する。

#### 【0084】

つぎに、UVオゾン処理（200℃、2min）により結晶質珪素膜1003の表面に数nmの薄い酸化膜を形成した後、さらに酸化珪素膜を膜厚20nmで形成する。さらに、結晶質珪素膜1003の3%の塩化水素（HCl）を含む酸素（O<sub>2</sub>）雰囲気中で、950℃での熱処理を施し、結晶質珪素膜1003を酸化し、薄膜化する。酸化後、不要になった酸化膜は、フッ酸含有溶液にて除去する。また、結晶質珪素膜1003においては、酸化と同時に、高温の熱処理による結晶性の改善効果もある。

#### 【0085】

つぎにTFTの閾値電圧を制御するために、結晶質珪素膜1003全体にボロンを添加する。

#### 【0086】

さらに、パターニングおよびエッチングにより、結晶質珪素膜1003を所望の形状に加工して、素子分離した半導体膜703を形成する。

#### 【0087】

つぎに、半導体膜703の上に酸化珪素膜を膜厚40nmで成膜し、ゲート酸化膜704を形成する。

#### 【0088】

つぎに駆動回路用TFTのnチャネル型TFTのGate Overlapped LDDを形成するための低濃度のn型不純物添加をする。パターニングにより、駆動回路用nチャネル型TFT以外の全てをマスクし、さらに駆動回路用nチャネル型TFTのチャネル領域となる部分もマスクした後、半導体膜703に $1 \times 10^{18} \text{ atoms/cm}^3$ のリンを添加して低濃度n型不純物領域705を形成する。

#### 【0089】

つぎに駆動回路用TFTのpチャネル型TFTのGate Overlapped LDDを形成するための低濃度のp型不純物添加をする。パターニングにより、駆動回路用pチャネル型TFT以外の全てをマスクし、さらに駆動回路用pチャネル型TFTのチャネル領域となる部分もマスクした後、半導体膜703に $1 \times 10^{18} \text{ atoms/cm}^3$ のボロンを添加して低濃度p型不純物領域70

6を形成する。

#### 【0090】

つぎに、ゲート絶縁膜704の上に燐が添加された結晶質珪素膜 ( $n+p$  poly-Si) を膜厚150nmで成膜し、さらに、その上からタンゲステンシリサイド (WSix) 膜を膜厚150nmで成膜した後、パターニングおよびエッチングにより所望の形状に加工して、ゲート電極707を形成する。従ってゲート電極707は、 $n+p$  poly-SiとWSixの二層の導電性膜が積層された構造となっている。なお、ゲート電極707は、一層の導電性膜、或いは二層以上の導電性膜が積層された構造でもよく、材料についても、導電性を有するものであれば上記に示したものの以外で構わない。

#### 【0091】

また、この時、駆動回路用TFTにおいては、ゲート電極707と低濃度n型不純物領域705（或いは低濃度p型不純物領域706）がチャネル長方向に約 $2.0\mu m$ 重なる領域が形成され、これがそれぞれ、駆動回路用nチャネル型TFTのGate Overlapped LDD2002および駆動回路用pチャネル型TFTのGate Overlapped LDD2004となる。

#### 【0092】

つぎに、駆動回路用TFT及び論理演算回路用pチャネル型TFTをレジストでマスクした後、ゲート電極707をマスクとして、論理演算回路用nチャネル型TFTおよび画素TFTの半導体膜703に低濃度のn型不純物を添加して、低濃度n型不純物領域708を形成する。本実施例では、n型不純物として燐を $1 \times 10^{17} \text{ atoms/cm}^3$ の濃度で添加した。

#### 【0093】

つぎに、駆動回路用TFT、画素TFT及び論理演算回路用nチャネル型TFTをレジストでマスクした後、ゲート電極707をマスクとして、論理演算回路用pチャネル型TFTの半導体膜703に低濃度のp型不純物を添加して、低濃度p型不純物領域709を形成する。本実施例では、p型不純物としてボロンを $1 \times 10^{17} \text{ atoms/cm}^3$ の濃度で添加した。

#### 【0094】

つぎに、ゲート電極 707 の上に、基板全面を覆うように酸化珪素膜を膜厚 40 nm で成膜し、絶縁性保護膜 710 を形成する。さらに絶縁性保護膜 710 の上に n + p o l y - S i 膜を膜厚 50 nm で成膜し、導電性保護膜 711 を形成する。

#### 【0095】

つぎに、導電性保護膜 711 の上に段差被覆性のよい酸化珪素膜を膜厚 40 nm で成膜し、サイドウォール膜 712 を形成する。さらに、垂直方向を主体とした異方性エッチングによって、サイドウォール膜 712 を選択的にエッチングして加工し、サイドウォール 713 を形成する。

#### 【0096】

つぎに、駆動回路用 p チャネル型 T F T および論理演算回路用 p チャネル型 T F T および画素 T F T のソース（或いはドレイン）となる領域以外の領域をレジストでマスクした後、ゲート電極 707、サイドウォール 713 絶縁性保護膜 710、および導電性保護膜 711 をマスクとして、高濃度の n 型不純物を論理演算回路用 n チャネル型 T F T、画素 T F T、および駆動回路用 n チャネル型 T F T の半導体膜 703 に添加し、n 型のソース（或いはドレイン）714 を形成する。本実施例では、 $1 \times 10^{20} \text{ atoms/cm}^3$  の磷を添加した。また、この時、LDD 2001、2005 およびも同時に形成される。また、画素 T F T は  $2.0 \mu\text{m}$  の LDD が形成されるように、ゲート電極 707 の側壁から  $2.0 \mu\text{m}$  がマスクされている。

#### 【0097】

つぎに、駆動回路用 n チャネル型 T F T および論理演算回路用 n チャネル型 T F T および画素 T F T となる領域以外の領域をレジストでマスクした後、ゲート電極 707、サイドウォール 713 絶縁性保護膜 710、および導電性保護膜 711 をマスクとして、高濃度の p 型不純物を論理演算回路用 p チャネル型 T F T、および駆動回路用 p チャネル型 T F T の半導体膜 703 に添加し、p 型のソース（或いはドレイン）715 を形成する。本実施例では、 $1 \times 10^{20} \text{ atoms/cm}^3$  のボロンを添加した。また、この時、LDD 2003、2006 も同時に形成される。

## 【0098】

このように、本実施例に於いては、駆動回路用TFTのGate Overlapped LDD、および画素TFTのLDDは自己整合的ではなく、パターニングによって形成されているが、いずれもパターニングのアライメント精度（ $\pm 0.2 \mu\text{m}$ 程度）よりも、非常に大きい $2.0 \mu\text{m}$ のサイズのものであるため問題なく、また約 $2.0 \mu\text{m}$ の酸化珪素膜を成膜、エッチングしてサイドウォールを形成するよりも簡便におこなえる。このように、求められるサイズ毎に、自己整合的な形成方法とパターニングによる形成方法を適宜使い分ければよい。さらに、本実施例では、駆動回路用TFTのGate Overlapped LDDのサイズと、画素TFTのLDDのサイズをいずれも $2.0 \mu\text{m}$ としているが、必ずしもこのサイズに限定する必要はなく、実施者が必要とするTFT特性、あるいはTFTの信頼性が得られるように調整すればよい。また、本実施例では、駆動回路用TFTはGate overlapped LDDとLDDの両方がついた構造となっているが、これは、駆動回路用TFTのように素子サイズの大きい、また駆動電圧が大きいTFTにおいては、LDDだけではなく、Gate overlapped LDDも形成した場合の方が、ホットキャリア劣化に対して良好な信頼性を得られるとの理由から選択した形状であり、必ずしもこれに限定する必要はない。

## 【0099】

また、絶縁性保護膜710、導電性保護膜711およびサイドウォール膜712の膜厚の和が、LDD長となる。本実施例では、絶縁性保護膜710、導電性保護膜711およびサイドウォール膜712を、それぞれ $40 \text{ nm}$ 、 $50 \text{ nm}$ 、 $400 \text{ nm}$ で積層しているためLDD長が約 $0.5 \mu\text{m}$ で自己整合的に形成される。但し、LDD長についても、必ずしも $0.5 \mu\text{m}$ にする必要はなく、実施者が所望のTFT特性（或いは信頼性）を得られるよう、適宜決めればよい。また絶縁性保護膜710、導電性保護膜711およびサイドウォール膜712の膜厚についても、上記の膜厚に限定する必要は無く、実施者が適宜調整すればよい。

## 【0100】



つぎに、サイドウォール 713 をフッ酸含有溶液を用いて常温で除去する。さらに、導電性保護膜 711 を液温約 45℃ の TMAH 溶液を用いて除去する。また絶縁性保護膜 710 は除去せず、そのまま層間絶縁膜の一部として用いる。

#### 【0101】

つぎに、絶縁性保護膜 710 の上に酸化珪素膜を膜厚 40 nm で成膜し、層間絶縁膜 716 を形成した後、950℃、30 min の熱処理による活性化を行う。

#### 【0102】

つぎに、層間絶縁膜 716 の上に窒化酸化珪素膜を 900 nm 成膜し、層間絶縁膜 717 を形成する。

#### 【0103】

つぎに、パターニングおよびエッチングによりコンタクトホールを形成し、さらにチタン (Ti)、窒化チタン (TiN)、アルミニウム (Al)、チタン (Ti) を順に積層したのち、パターニングおよびエッチングにより配線 718 を形成する。さらに ITO (Indium Tin Oxide) を成膜した後、パターニングおよびエッチングにより加工し、画素電極 719 を形成する。本実施例では、配線 718 と画素電極 719 とが積層した領域を設け、コンタクトホールを介するのではなく直接電氣的な接続している。

#### 【0104】

以上のような工程を経て、論理演算回路用 TFT、画素 TFT、および駆動回路用 TFT を同一基板上に形成する。本実施例に於いては、論理演算回路用 p チャンネル型 TFT を LDD 構造として形成しているが、必ずしもこれに限定する必要はない。n チャンネル型 TFT と比較して、電子移動度の低い p チャンネル型 TFT では、シングルドレイン構造でもチャンネル長を大きくすることでホットキャリア起因の劣化を抑制できる場合もあるからである。

#### 【0105】

また本実施例では述べてはいないが、必要に応じて洗浄および熱処理などの工程を加える。また、層間絶縁膜の形成、配線の形成を、さらに繰り返し行い、多層配線構造としてもよい。また、層間絶縁膜として、表面の凹凸を平坦化でき

るような、塗布による酸化珪素膜の形成を行ってもよい。

#### 【0106】

本実施例では、TFTを形成するための基板として石英を用いているが、ガラスやプラスチックを材料としたものを用いることも可能である。その際は、使用する基板材料が耐えうる温度条件下で全ての工程を行えるよう、熱処理条件或いは成膜条件を適宜変更する必要がある。

#### 【0107】

##### [実施例2]

実施例1で作製したTFTアレイ基板を用いることにより、同一基板上にCPU (Central Processing Unit) が組み込まれた周辺回路と、ディスプレイとが一体化した液晶表示装置が作製できる。これにより、液晶表示装置の多機能化、コンパクト化ができる。以下、図11、12を用いて説明する。

#### 【0108】

実施例1に従い作製したTFTアレイ基板801のTFTを形成した側に配向膜802aを形成する。配向膜802aの形成はオフセット印刷法を用いる。配向膜802aの材料にはポリイミド樹脂を用いるが、この他、ポリアミック系樹脂などを用いてもよい。次に配向膜802aにラビング処理を施し、液晶分子がある一定のプレチルト角をもって配向するようにする。

#### 【0109】

次に対向基板810を作製する。基板811上に遮光膜812を形成する。遮光膜812は、金属クロムを成膜し、フォトリソおよびエッチングにより形成する。遮光膜812の上に画素電極813を形成する。画素電極813は透明導電膜であるITOを成膜し、フォトリソおよびエッチングにより形成する。遮光膜812と画素電極813の間にカラーフィルター814を設ける場合は、遮光膜812の上に目的の色の着色樹脂をスピンコート法により塗布し、露光および現像して形成する。赤、青、緑の三色のカラーフィルター814a～814c（ここでは図示しない）、各々に対して前記カラーフィルター形成工程を繰り返す。カラーフィルター814と遮光膜812の段差を埋めて平坦化する目的の保護

膜 815 を形成する。保護膜 815 はカラーフィルタの上からアクリルを塗布して形成する。アクリルの他に平坦化可能な材料を用いてもよい。カラーフィルタを設けない場合は保護膜 815 は無くてもよい。

#### 【0110】

このようにして作製した対向基板に配向膜 802b を形成する。TFT アレイ基板上に形成したときと同様に、配向膜 802b の形成はオフセット印刷法を用いる。配向膜 802b の材料にはポリイミド樹脂を用いるが、この他、ポリアミック系樹脂などを用いてもよい。次に配向膜 802b にラビング処理を施し、液晶分子がある一定のプレチルト角をもって配向するようにする。さらに対向基板と TFT アレイと接着するために、対向基板側にシール剤（図示しない）を塗布した後、対向基板 810 をオープンで加熱し前記シール剤を仮硬化させる。仮硬化後、対向基板の画素電極を形成した側にプラスチック球のスペーサー 816 を散布する。

#### 【0111】

TFT アレイ基板 801 の TFT を形成している側と対向基板 810 の画素電極を形成している側とが向き合うようにして、両基板を精度よく張り合わせ液晶パネル 817 を作製する。シール剤中にはフィラー（図示しない）が混入されており、フィラーとスペーサーにより両基板を均一な間隔をもって張り合わせることができる。

#### 【0112】

張り合わせた基板のうち不要な部分をせん断して、所望のサイズの液晶パネル 817 基板にする。液晶パネル 817 の内部に液晶材料 818 を注入する。パネル内部全体に液晶材料 818 を満たした後、封止剤（図示しない）によって完全に封止する。

#### 【0113】

図 12 は液晶パネル 817 の上面図である。画素部 901 の周辺に走査信号駆動回路 902a と画像信号駆動回路 902b が設けられている。さらに、CPU やメモリなどの論理演算回路 902c が設けられている。駆動回路は接続配線群 903 によって外部入出力端子群 904 と接続されている。画素部 901

では走査信号駆動回路 802 a から延在するゲート配線群と画像信号駆動回路 902 b から延在するデータ配線群がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 T F T と保持容量、画素電極が設けられている。シール剤 905 は、T F T アレイ基板 908 上の画素部 901 および走査信号駆動回路 902 a、画像信号駆動回路 902 b、論理演算回路 902 c の外側であり、且つ外部入力端子 904 よりも内側の部分に形成する。液晶パネル 817 の外側では、フレキシブルプリント配線板 (FPC: Flexible Printed Circuit) 909 が外部入出力端子 904 に接続しており、接続配線群 903 によりそれぞれの駆動回路に接続している。外部入出力端子 904 はデータ配線群と同じ導電性膜から形成される。フレキシブルプリント配線板 906 はポリイミドなどの有機樹脂フィルムに銅配線が形成されており、異方性導電性接着剤で外部入出力端子 904 と接続する。

#### 【0114】

液晶パネル 817 の対向基板側に、対向基板に最も近い液晶層の液晶分子のディレクタ方向と同じ方向の直線偏光が入射するように偏光板と位相差板を取り付ける。またパネルの T F T 基板側に、T F T 基板に最も近い液晶層の液晶分子のディレクタ方向と同じ方向の光が出射するように偏光板と位相差板を取り付ける。

#### 【0115】

以上のような方法で、同一基板上に C P U ( C e n t r a l P r o c e s s i n g U n i t ) が組み込まれた周辺回路と、ディスプレイとが一体化した液晶表示装置を作成する。本実施例では述べていないが必要に応じて洗浄及び熱処理の工程を加える。

#### 【0116】

##### [実施例 3]

本発明の半導体装置の作製方法を用いることにより、表示画面 (ディスプレイ) と C P U が組み込まれた周辺回路とが一体化したシステムオンパネルが作製できる。これにより、ディスプレイの生産や検査工程が短縮され低コスト化が図れる。また、ディスプレイの多機能化、コンパクト化を実現できる。

## 【0117】

図13に、本発明の半導体装置の作製方法を用いて作製したシステムオンパネルを搭載した電子機器の例を示す。

## 【0118】

図13は、携帯情報端末の図であり、本体1431にはシステムオンパネル（表示部）1433と、外部インターフェイス1435と、操作ボタン1434等が設けられている。また操作用の付属品としてスタイラス1432がある。このように携帯情報端末にシステムオンパネル1433を搭載することにより、コンパクト機能性を維持したまま、さらに情報処理機能を多機能化することができる。

## 【0119】

## [実施例4]

本発明の半導体装置の作製方法は、TFTの作製工程だけでなくバルクのシリコンウエハやSOIウエハを用いて作製するMOSトランジスタの作製工程にも適用可能である。この場合について以下に説明する。

## 【0120】

LOCOS (Local Oxidation of Silicon) やSTI (Shallow Trench Isolation) 等により素子分離したバルクのシリコンウエハ（或いは、SOIウエハ）上にゲート酸化膜を形成する。

## 【0121】

ゲート絶縁膜形成後は、実施の形態1または実施の形態2に於けるゲート絶縁膜403またはゲート絶縁膜2216の形成以降の工程に従ってゲート電極、LDD、ソース（或いはドレイン）、層間絶縁膜、配線などを形成し、MOSトランジスタを作製する。

## 【0122】

但し、熱処理条件などは実施の形態1または実施の形態2に記載した条件に限らず適宜変更すればよい。

## 【0123】

## 【発明の効果】

本発明の半導体装置の作製方法を用いることにより、自己整合的であり、且つプラズマによる損傷を抑制した方法でLDD構造の素子を作製できる。このような作製方法は、特に自己整合的な方法によるLDDの形成が必要で、またゲート電極の表面積が小さくなることによってプラズマあるいはドーピングからの損傷がより大きくなるような微細化TFTの作製に有効である。また、本発明の半導体装置の作製方法は、TFTのみならずMOSトランジスタや、MOSトランジスタによって形成されるLSIの作製にも適用可能である。

【図面の簡単な説明】

【図1】従来技術におけるLDD形成工程の断面図。

【図2】TFTのチャネル長と閾値電圧の関係図。

【図3】本発明におけるLDD形成工程の断面図。

【図4】LDD構造TFT作製工程の断面図。

【図5】LDD構造TFT作製工程の断面図。

【図6】論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図7】論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図8】論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図9】論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図10】論理演算回路用TFT、液晶表示装置の駆動回路用TFT及び画素TFTを同一基板上に作製するTFTアレイ基板作製工程断面図。

【図11】液晶表示装置の一部の断面図。

【図12】液晶表示装置全体の上面図。

【図13】本発明の半導体装置の作製方法を用いた液晶表示装置を搭載した電子機器。

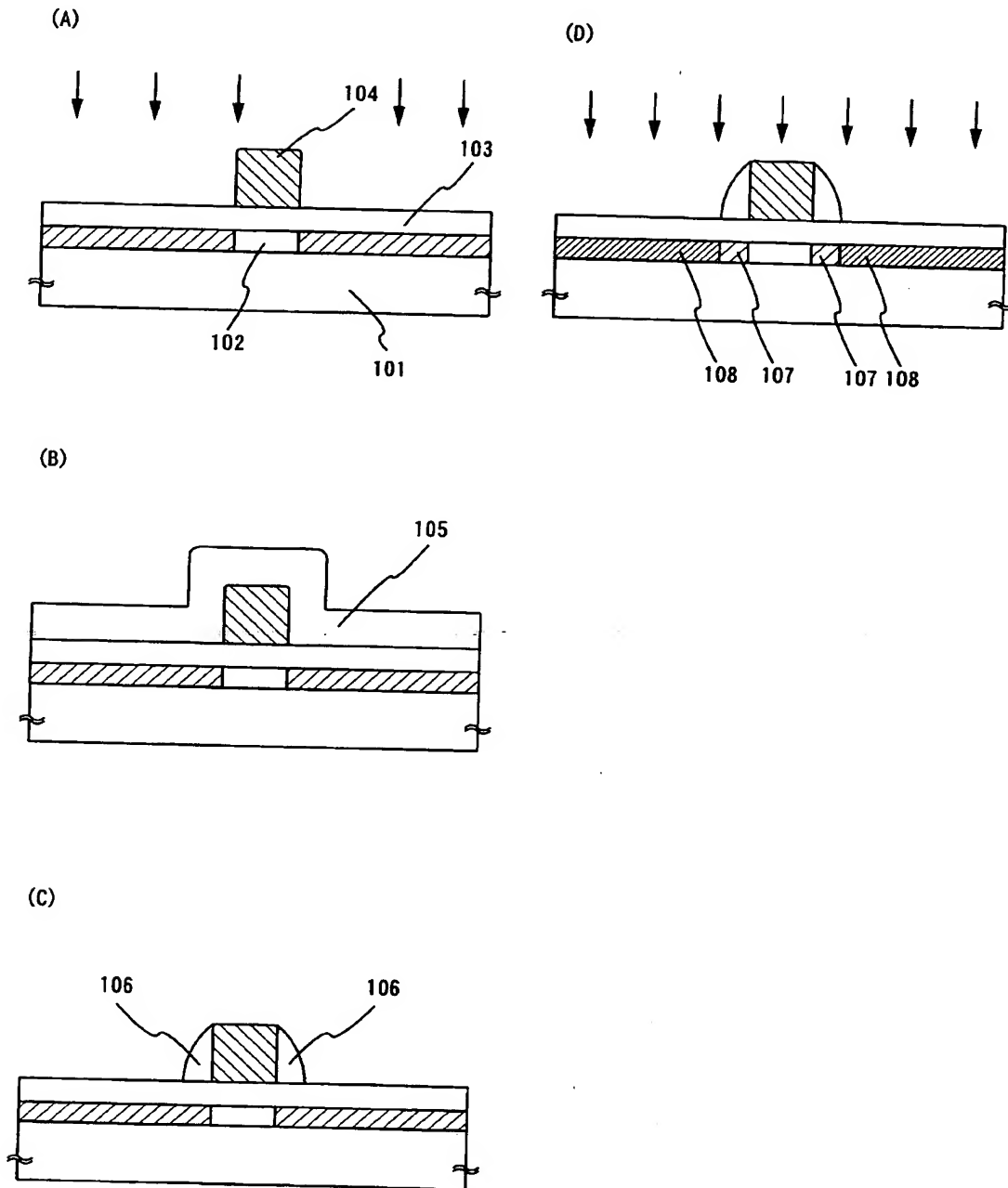
【図14】本発明におけるLDD形成工程の断面図。

【図15】LDD構造TFT作製工程の断面図。

【図 1 6】 L D D 構造 T F T 作製工程の断面図。

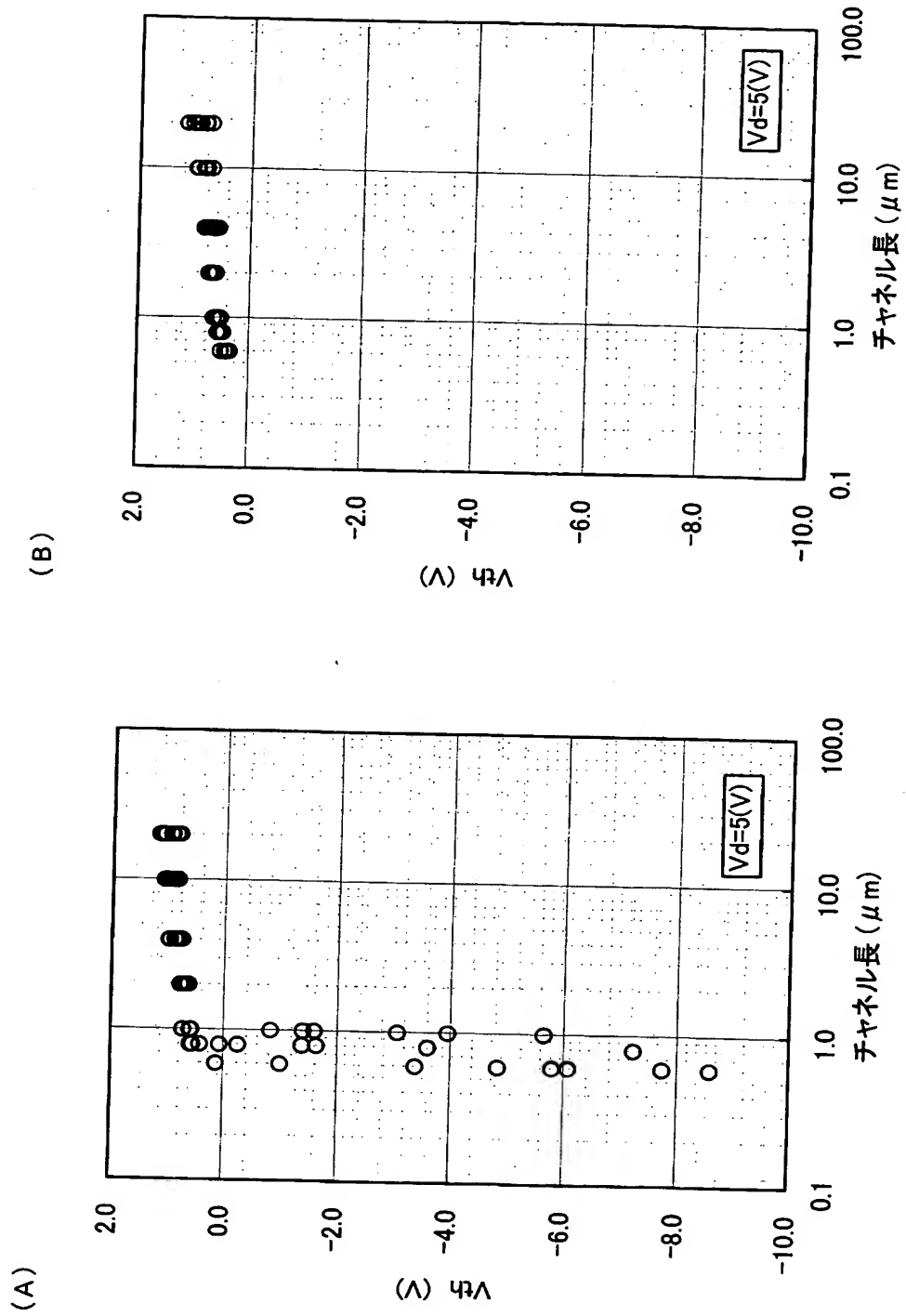
【書類名】 図面

【図 1】

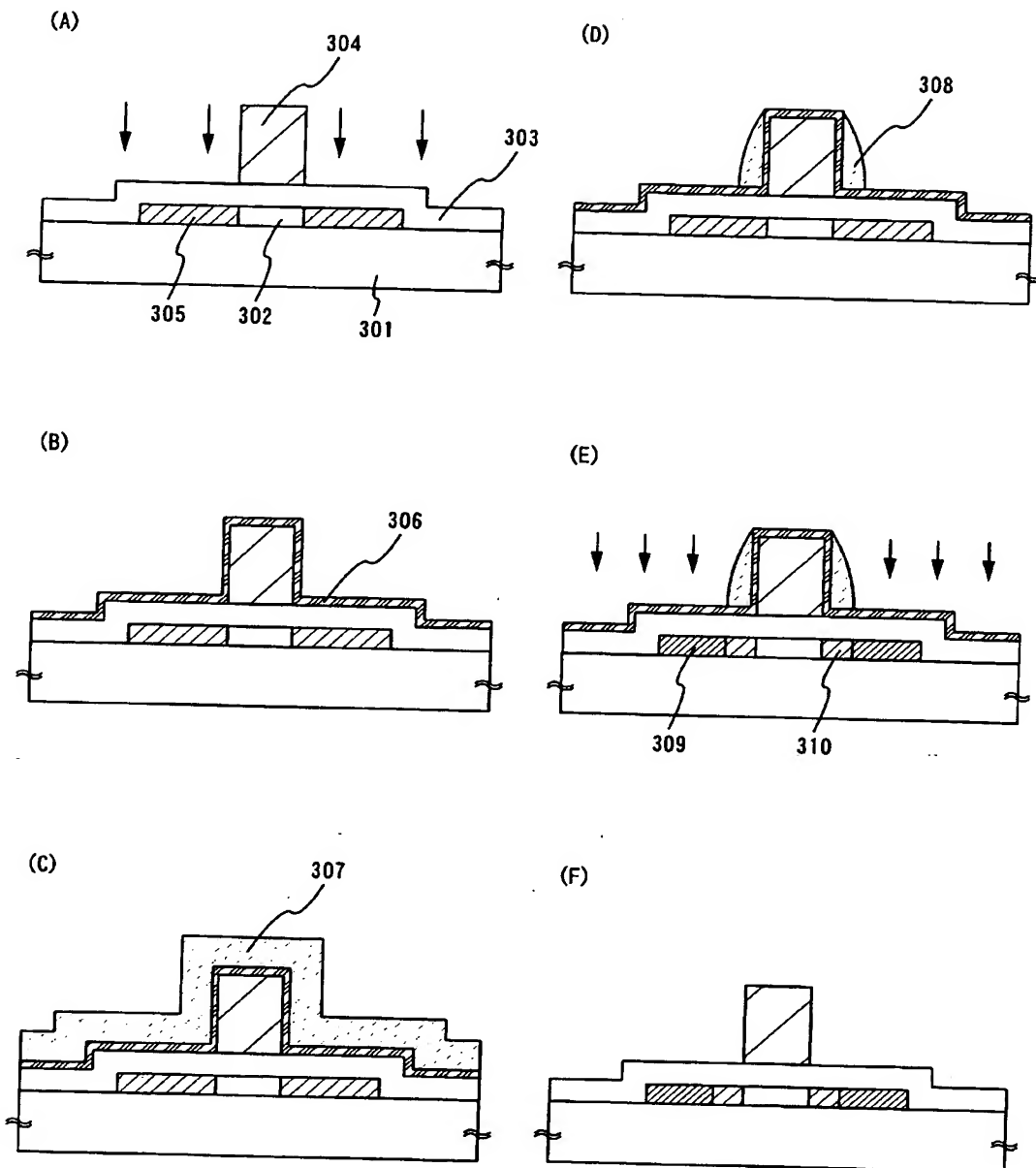




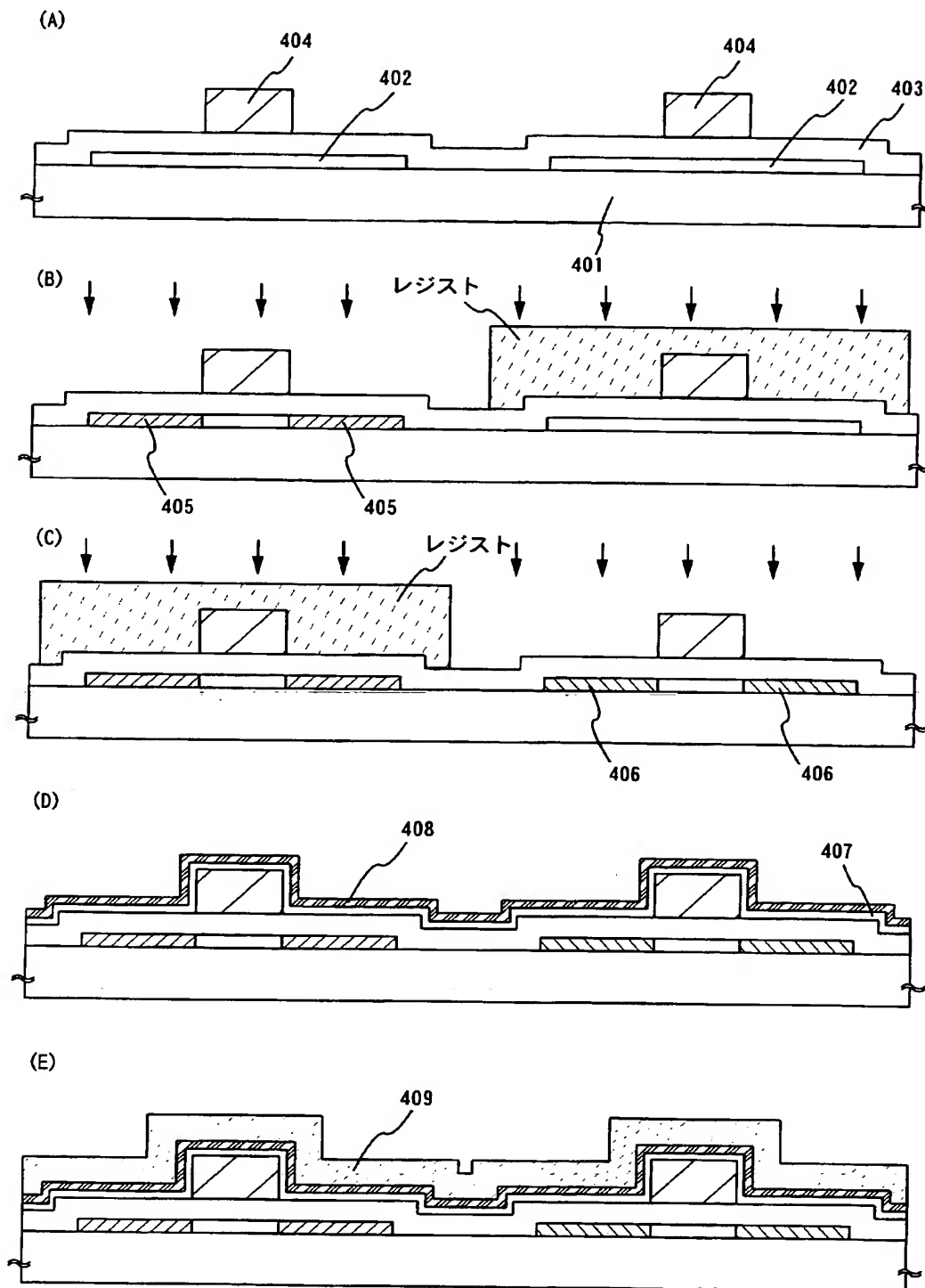
【図 2】



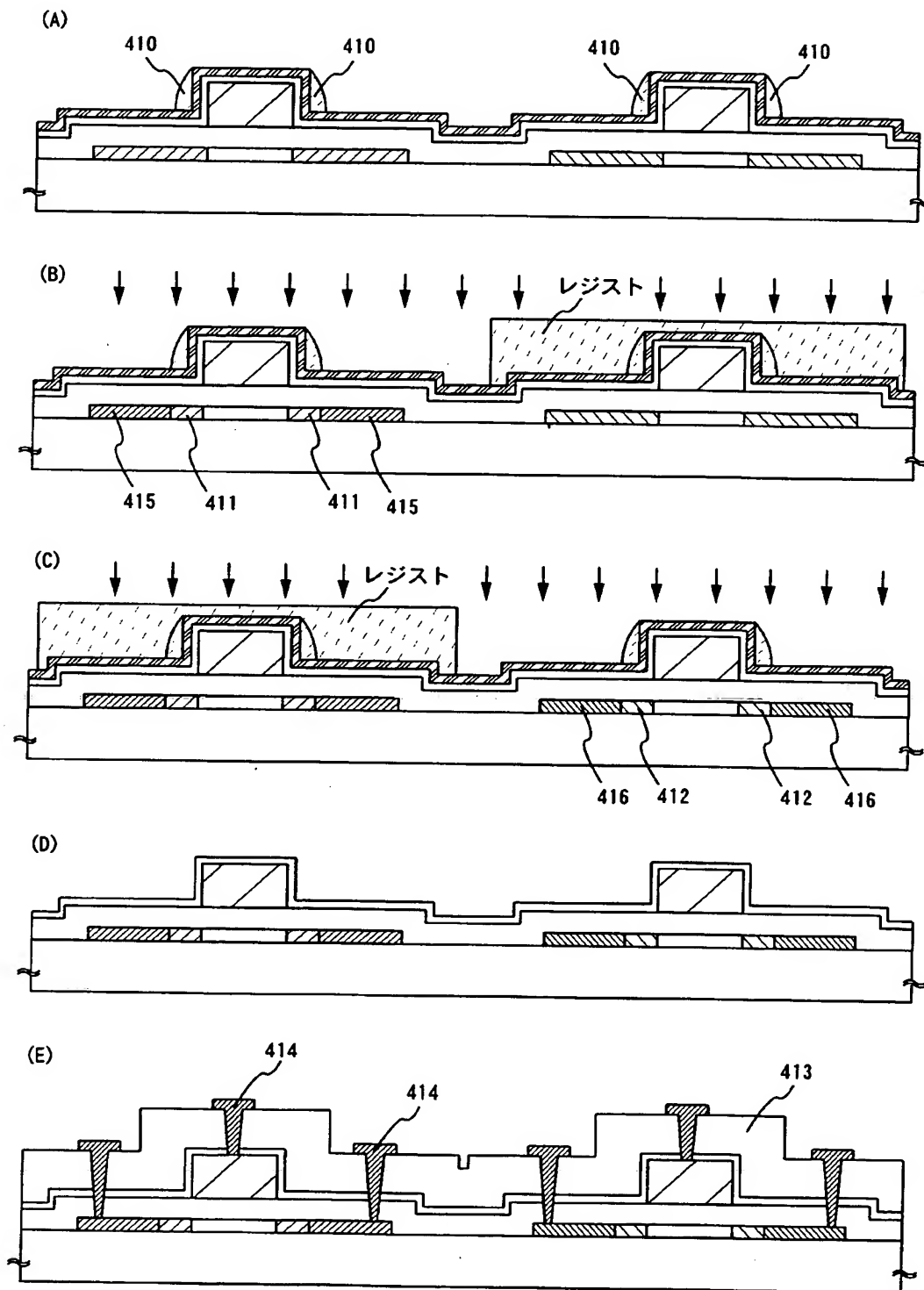
【図 3】



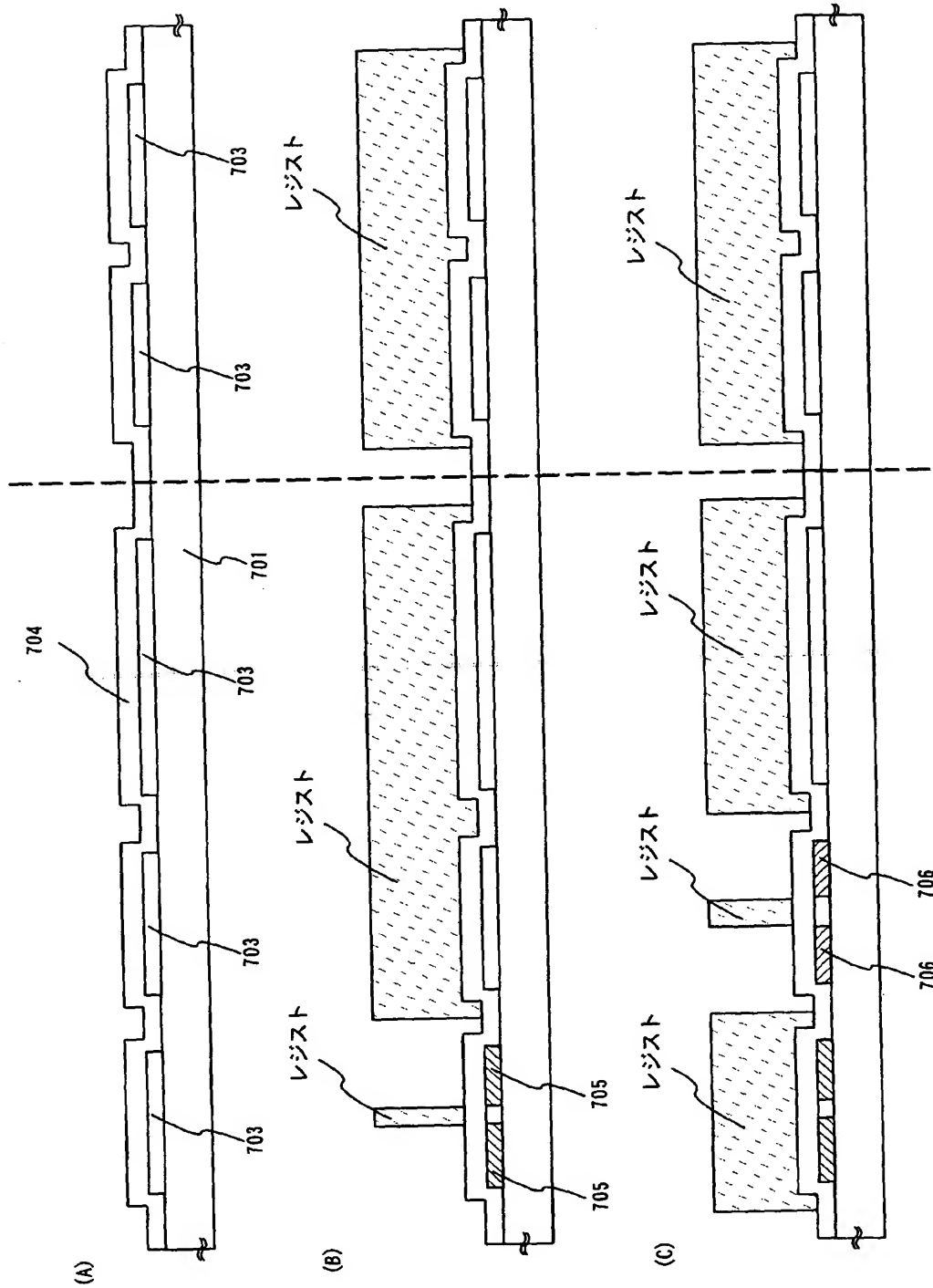
【図 4】



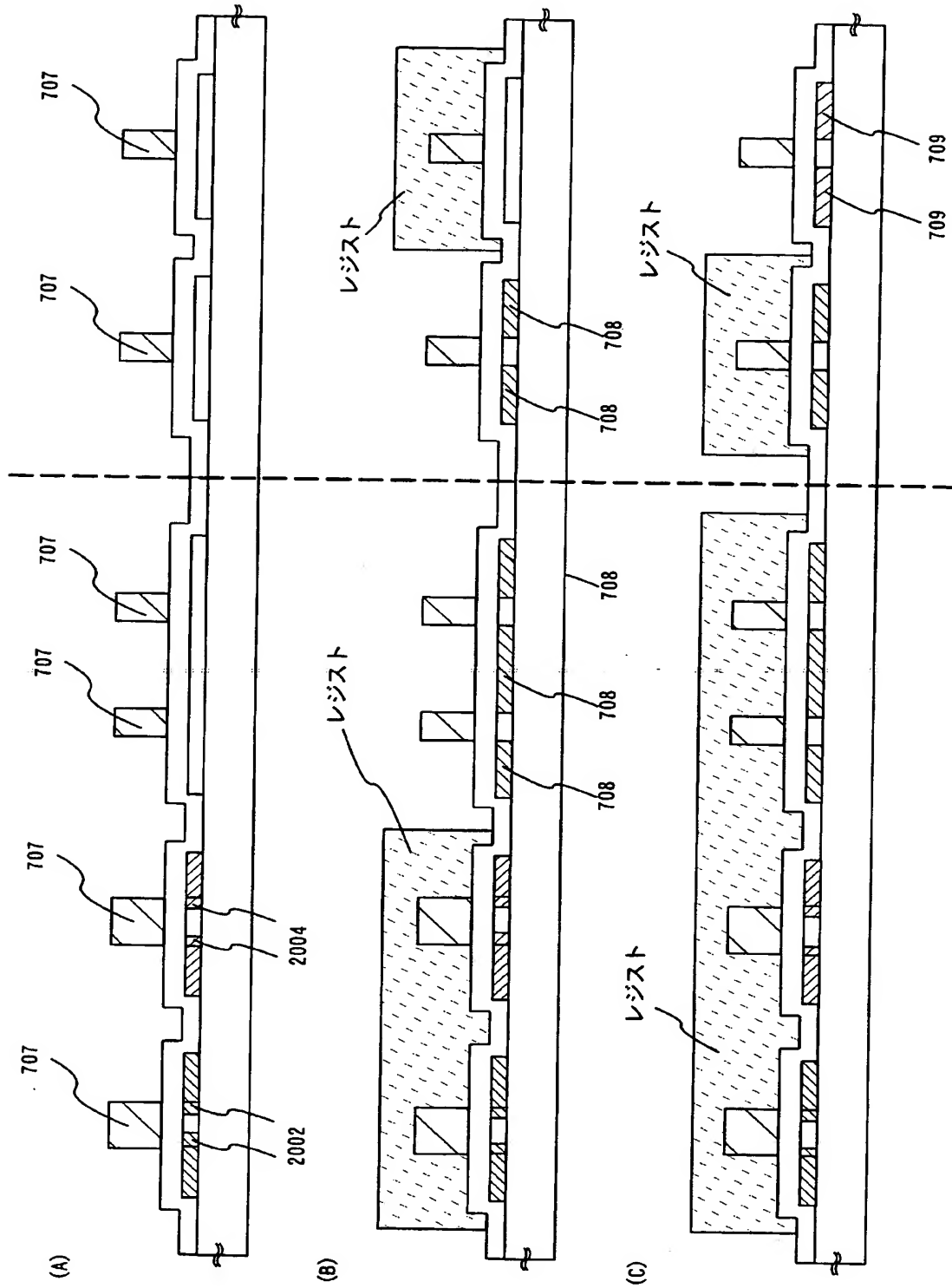
【図 5】



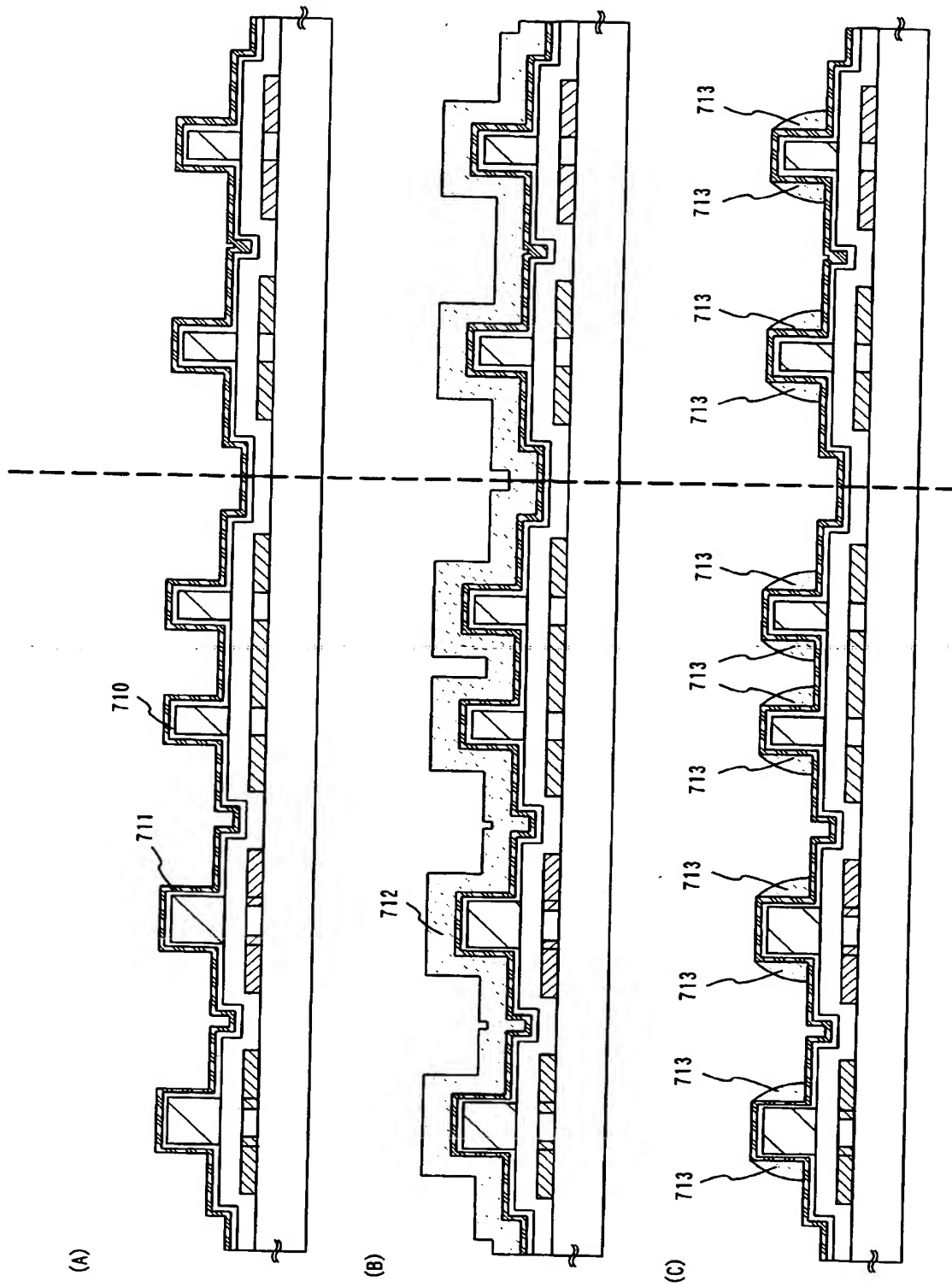
【図6】



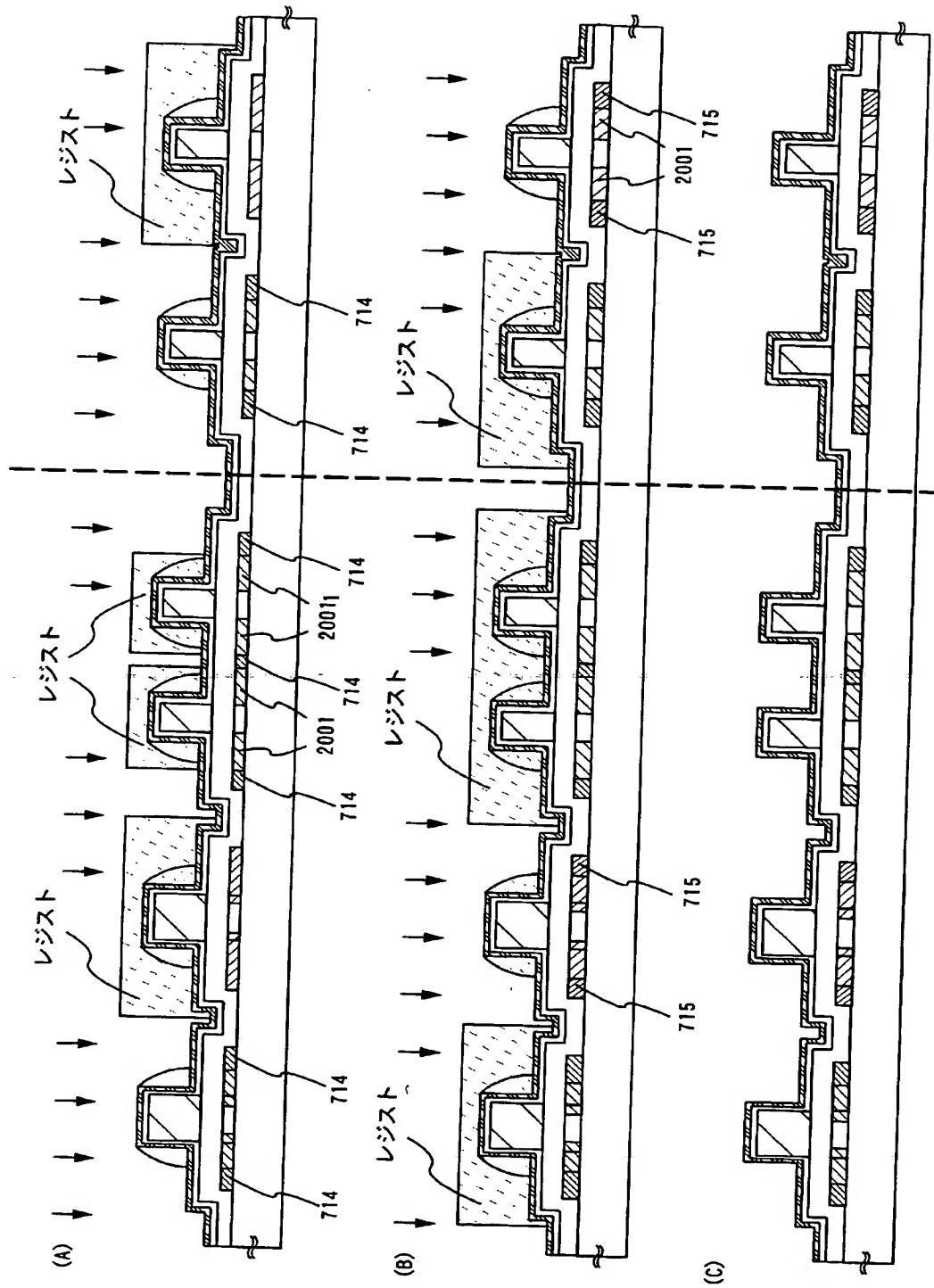
【図 7】



【図8】

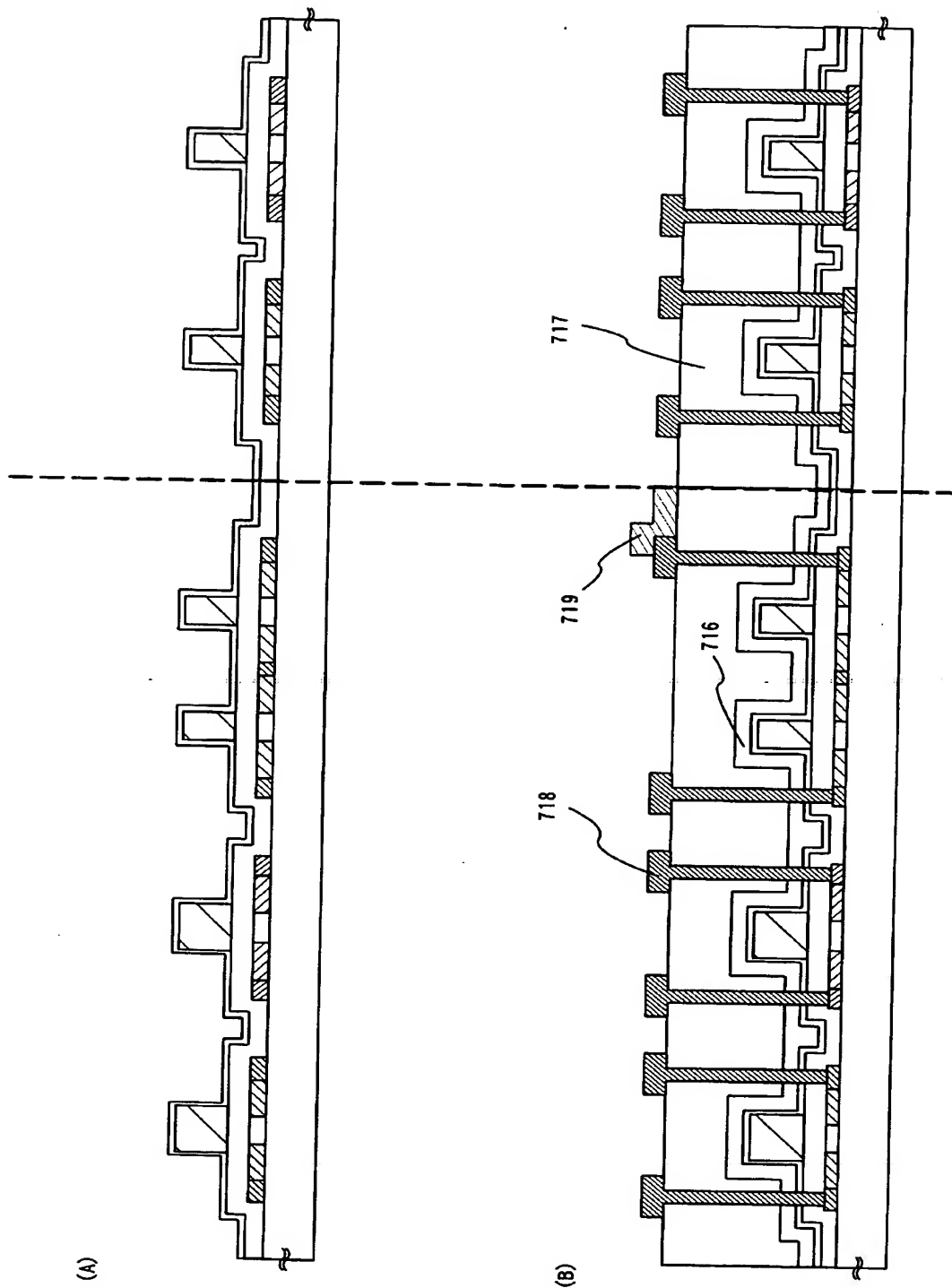


【図 9】

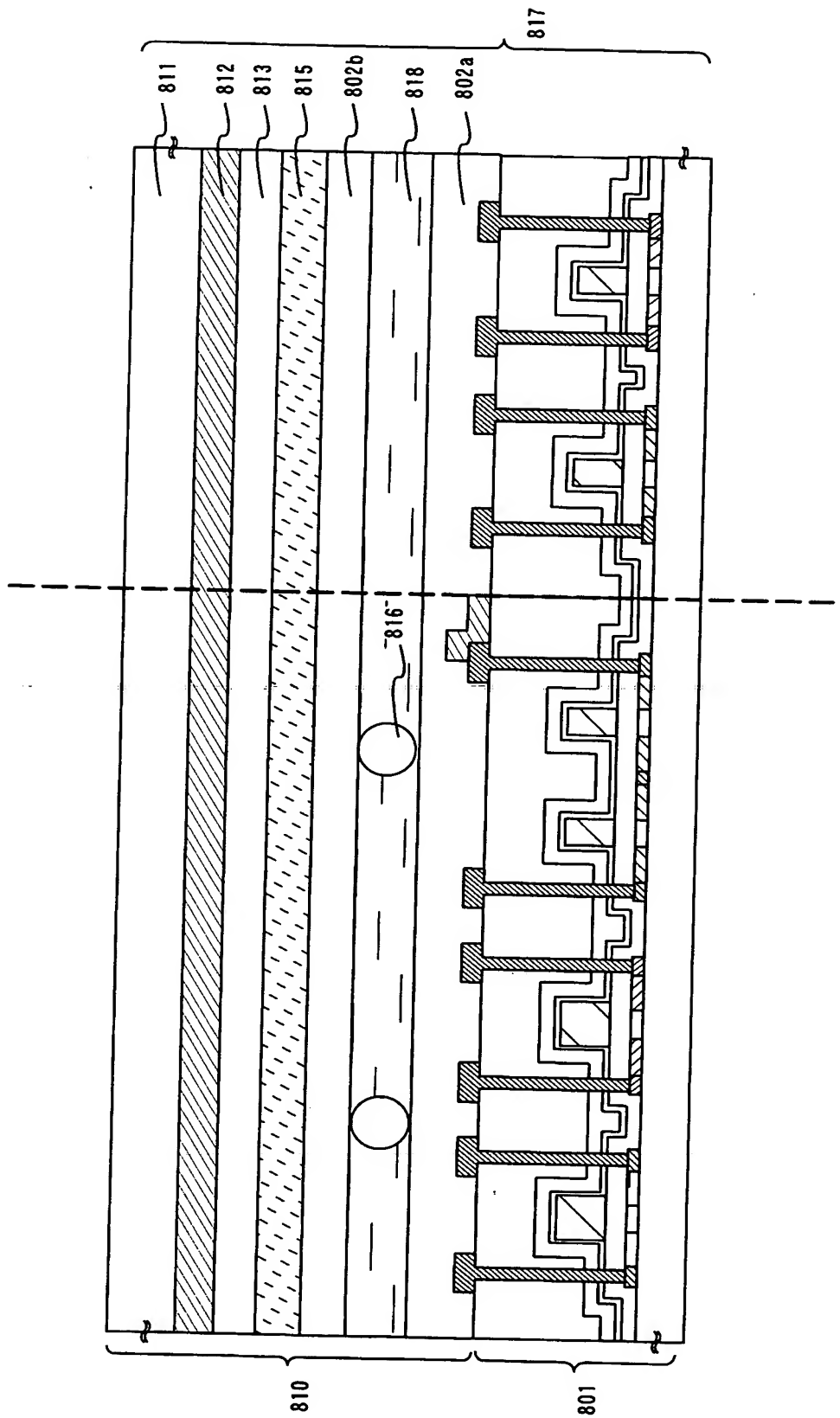




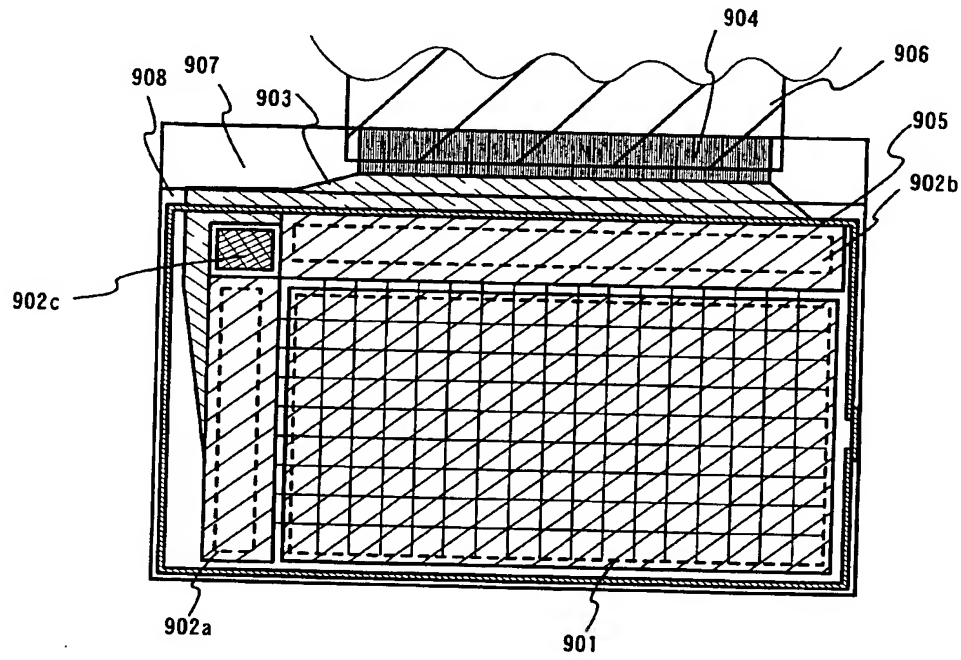
【図10】



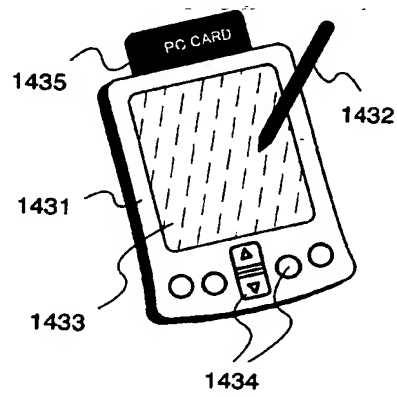
【図 11】



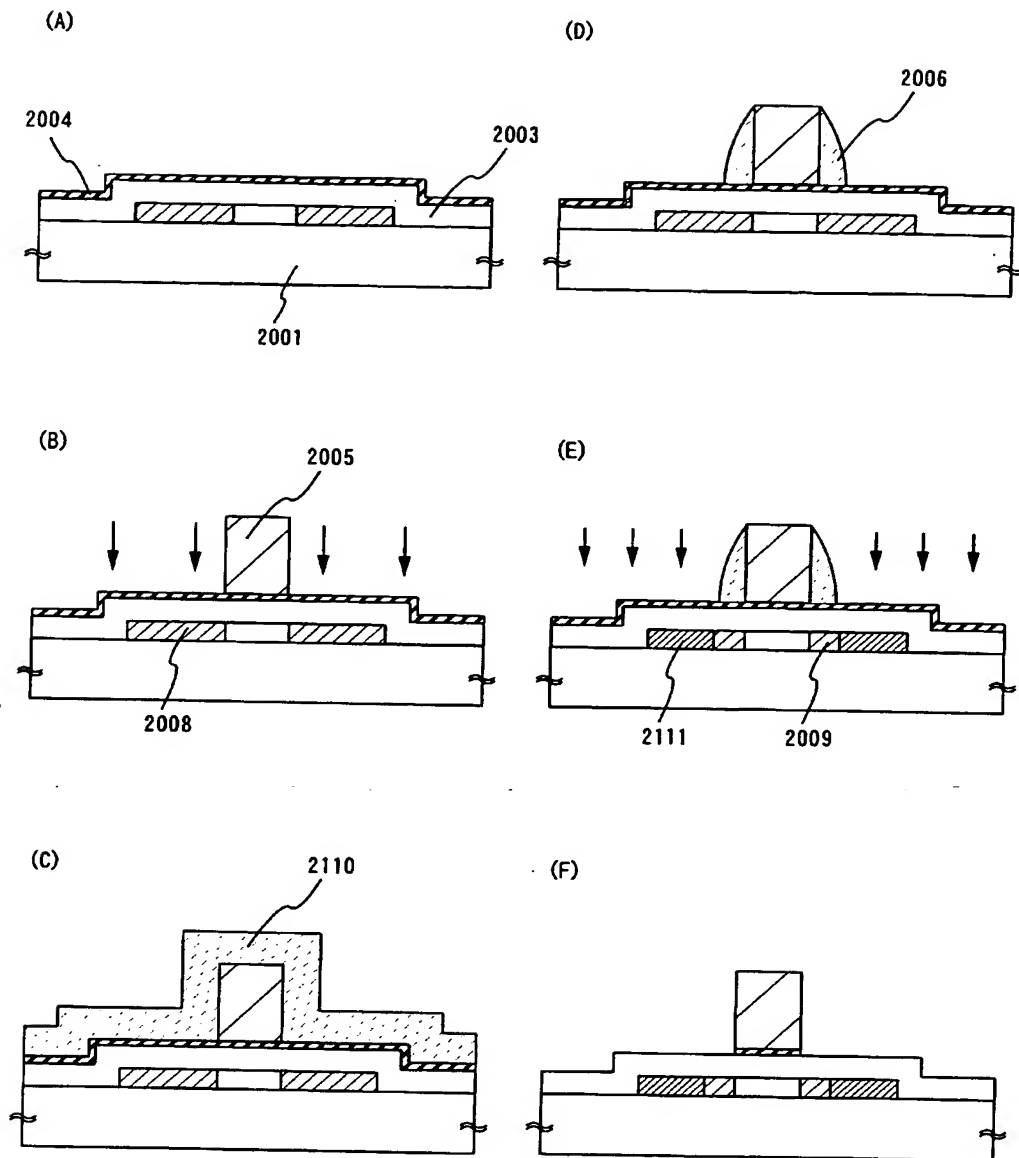
【図 12】



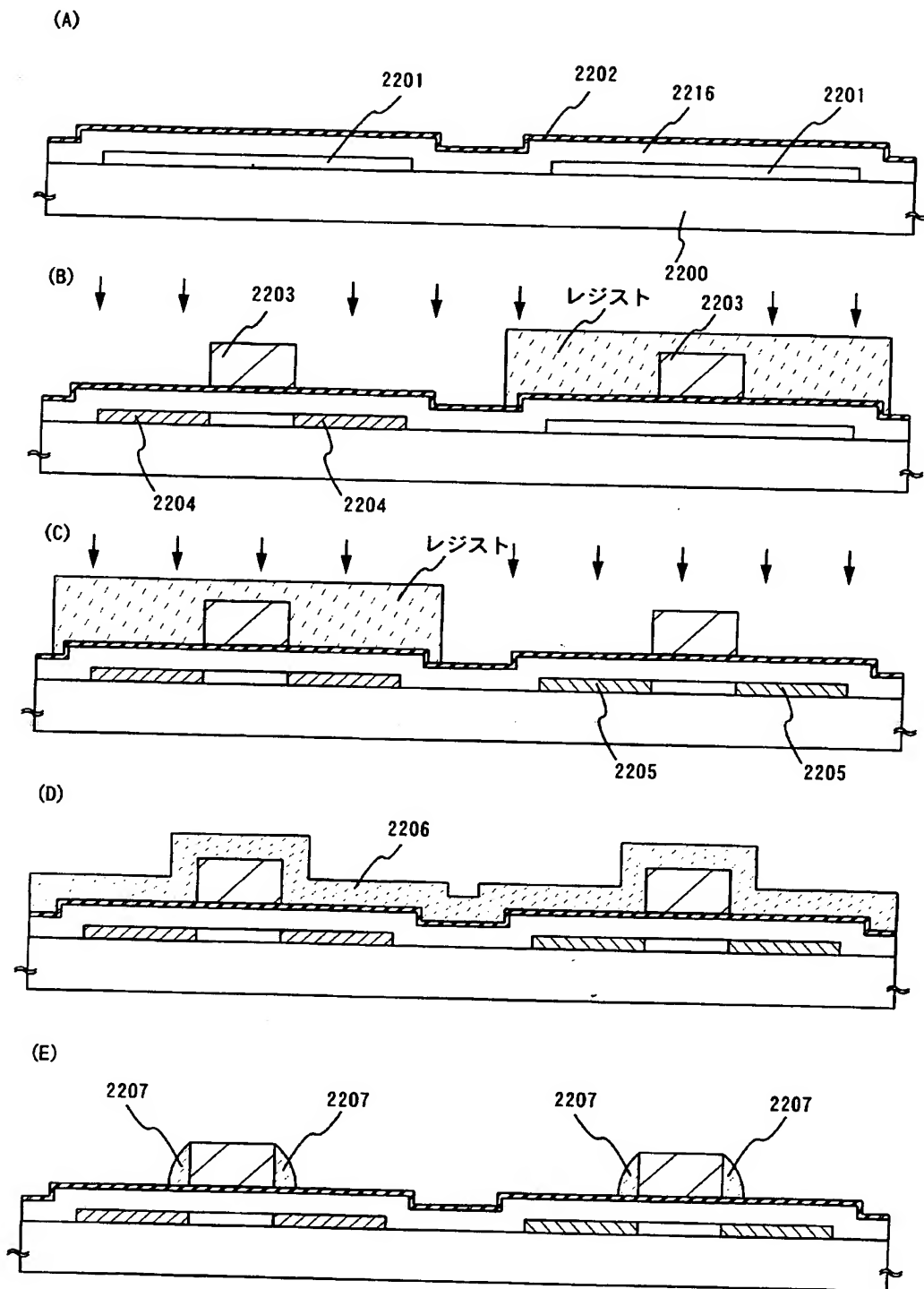
【図 13】



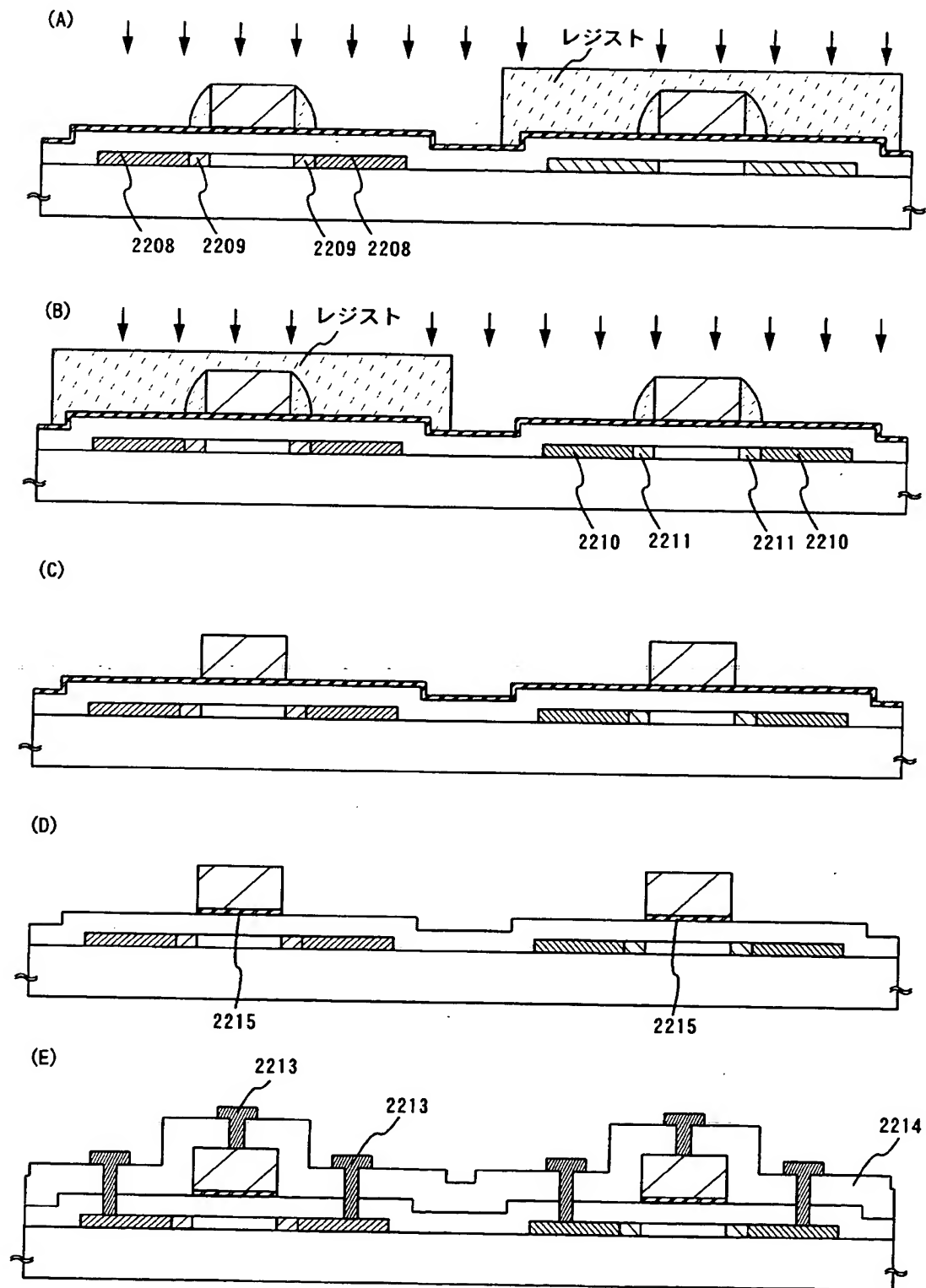
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 LDD形成工程に於けるプラズマプロセスやドーピングプロセスが原因となり生じる素子の損傷を極力低減した半導体装置の作製方法を提供すること。

【解決手段】 基板全面を覆うように導電性保護膜を形成した状態でLDDを形成することで、LDD形成工程の異方性エッチングにおいて、ゲート電極に蓄積される電荷密度を低減し、プラズマによる損傷を極力低減する。また高濃度の不純物添加（ドーピング）工程における荷電粒子による損傷も極力低減する。

【選択図】 図3

特願 2002-284029

出 願 人 履 歴 情 報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷398番地

氏 名

株式会社半導体エネルギー研究所